

モリを行なっており、併せました。ビックチャ及びビックチ
ヤを試験してその間のビックチャを復活するために用い
られる。具体的には、2つの調モリによりには、本来から
内蔵するための画像データと、過去から削除するための
画像データを並置させ、通常これらをスイッチで切り替
えて加算合計することで、ビックチャを復元する。ま
た、2つの調モリからのそれぞれの川力(端子1、
i)の他に、両モリからの中間出力(端子1)がある
のは、ビックチャの画方向を解釈し化マクロブロックを
復元するためである。

【0004】(範例が解決しようとする課題) このように、従来のMPEGデコーダでは、人リしたビットストリームの各マクロブロックを順次処理して処理する、すなわち、あるマクロブロックが入りされるとマクロブロック内の全てのブロックの位置が振り分けられ、その処理が完了した後に逆時計回転処理を行うといった手順で処理していたため、結構的に全てのマクロブロックを処理するまでに時間がかかる問題があった。

【0005】L.S.Iの場合、もちろん、動作制御数を十

【0006】本発明は、上述洗浄技術の作用する課題に鑑み分高くすれば、前述のようなシーケンシャルな処理方法でも短時間で使い可能であるが、消費電力の削減を図らざればならないのであり、その目的は、消費電力の削減を図ることなく使い化処理を高速化できる処理方法及び装置を開発することにある。

[0007] 【課題を解決するための「段階」上記手順を達成するためには、第1の処理は、それぞれ既存のマクロブロックを含むピクチャ、ドリクチャ及びビッグチャのMPEG映像データを、可変圧縮化し、逆圧縮化してDC-T各処理ステップを通じて前処理像に表示する。前処理像データ構成を用いて前処理像データ構成するプロック単位で処理を並列実行することを特徴とする。

[0008] また、第2の処理は、第1の処理においてマクロブロックを構成するかブロックの可変圧縮化処理が完了した後、このブロックの逆圧縮化処理と次の第(n+1)プロックの可変圧縮化処理を並列実行する。

例実行することを特徴とする。
【0009】また、第3の処理は、第1の処明において、マクロブロックを構成する各ブロックの逆量化処理が完了した後、この第1ブロックの逆DCT処理と次の第(n+1)ブロックの逆量化処理とさらに次の第(n+2)ブロックの逆変換処理を並列実行することを特徴とする。
【0010】また、第4の処理は、第1の処明において、マクロブロックを構成する全てのブロックの可変ビット化処理が完了した後、嵌マクロブロックの動き幅を処理を実行することを特徴とする。

[0011]また、第5の危険は、第1～第4の危険において、第Nマクロブロックの可変性は既に初期化が完了した後、次の第(N+1)マクロブロックの可変性は初期化処理を実行することを特徴とする。

[0012]また、第6の危険は、第5の危険において、第Nマクロブロックを構成するプロックの逆は化して、次の第(N+1)マクロブロックの可変性は初期化処理を並列実行することを特徴とする。

[0013]また、第7の危険は、第5の危険において、第Nマクロブロックを構成するプロックの逆DCT

マクロブロックを含む1ピクチャ、1ピクチャ及び1ピクチャの範囲において、第Nマクロブロックの動き範囲処理と第(N+1)マクロブロックの各処理を並列実行することを特徴とする。
〔0014〕また、第8の範例は、第5の範例において、
マクロブロックを並列実行することを特徴とする。
〔0015〕また、第9の範例は、それぞれ前述のマク

(GOP)等、各ビックチャはマクロブロックが任意範囲にまとめてきるスライスから形成されている(ライス例)。各マクロブロックは、 $4:2:0$ 符号化方式で、4つの解像度ブロックと2つの色情報ブロックで構成され、各ブロックのサイズは 8×8 画素で、このようないずれデータが入りさされる。付火端形態では、このように前記とする。

[0018] <第1実施形態>[図1]には本実施形態の構成されたプロトコル構成である。番組メディアから読み出されると、あるいは收送はされないと、CPUストリーミングは、チモリ2.4に接続される。そして、CPUストリーミングは、チモリ2.4に接続される。

II. DMA (データ転送モードセレクタ) 22を介して、モード2-4が5ビットストリームデータを読み出し、データS128に圧する。
[0.0.1.9] コード1. S128は、バッファとして機能するCPUインターフェース部3.0、DRAM控制器3.2、DRAM3.4、可変後援圧縮部3.6、過圧化器4.0、逆DC/AT部4.2、モリ(1)4.4、逆圧縮部4.6及びモリA3.8を含んで構成されており、メモリ24からのビットストリームはCPUインターフェース3.0を介してDRAM3.4に記憶される。そして、DRAM0を介して

N制御部3.2はDRAIN3.4に記憶されたデータを擦り読み出しして可変長符号部3.6に出力する。可変長符号部3.6は、人力したデータを可変長符号して逆位化部4.0に出力する。逆位化部4.0では、人力したデータを逆位化して逆CCT部4.2に出力する。逆CCT部4.2では、人力したデータを逆CCT処理してメモリ(1)4.4に出力し、データを記憶する。また、可変長符号部3.6は、人力したマクロブロックの先頭に伝送するヘッデータを復位すると、そのデータをメモリ(八)3.8に出力し記憶する。なお、ヘッデータに

は、マクロブロックアドレスやマクロブロックタイ等のデータが含まれており、さらにマクロブロックの偏振がイントラマクロブロックでない場合、すなはち垂直方向に割り当てられたマクロブロックや逆方向で割り当てられたマクロブロックあるいは前方向で割り当てられたマクロブロック等に該当するデータが含まれる。動きベクトルには動さベクトルに関するデータが含まれる。動きベクトルは、MPEGにおいてはハーフペル（半フレーム）単位

の構造で実現される。
〔0.0.2.0〕従来のMPLUGデータ格ににおいては、上述したように、マクロブロック内の全てのブロックの復元処理が完了した後に逆量化処理を行い、さらに全てのブロックの逆量化処理が完了した後に逆量化処理を行って逆量化処理を行った後で、その後マクロブロックの動き補正を行って動画を実現する。そのマクロブロックがない場合に価格に次のマクロブロックの処理間に進行した後では、このように各処理をシーケンシャルに行うのではなく、マクロブロック内で各処理を並列的に行って処理の高速化を行っている。
〔0.0.2.1〕すなわち、DRAM 3.4から読み出された

第Nブロックの先頭の第1ブロックデータが可変長度情報部3.6に入力されると、可変長度情報部3.6では、この第1ブロックデータを可変長度出し、次の段の逆は化部4.0に[1]する。逆は化部4.0では、人した第1ブロックデータの逆は化部4.0を対象して処理を終了する。このとき、第1ブロックデータの可変長度が完了したこととを検知したDRAM管理部3.2は、次の第2ブロックデータをDkAM3.4から読み出し、可変長度情報部3.6に出力する。次つて、逆は化部4.0での第1ブロックデータの逆は化処理と可変長度情報部3.6での第2ブロックデータの逆は化処理は並列して行われることとなる。

[0.0 2-1] 図2には、以上の各巡回内容（回変更回数）が並列して示される。なお、マクロブロックは、1ポートとして示されている。逆DCT、動き削除）がタイミングチャートでその処理が並列で行われることになる。

したようにヘッダデータと6つのブロックから構成される。これらのブロックを以てでは第1ブロック、第2ブロック、...、第6ブロックと称することにする(図4)。まずはブロック1、ブロック2、...、ブロック6と記す。

(A) 3.8に当りされる。そして、次の第1ブロックデータの頭部は既に位相的に明確に定められる。第1ブロックデータの頭部は復元が完了すると、次に池計算処理を行われる。

[0.0.2.2] 通常化部4.0で第1ブロックデータの逆変換処理が完了すると、次段の逆CT部4.2に出力され、第1ブロックデータの逆CTデータが得られる。また、可変長度部3.6で逆変換がされた第2ブロックデータは、次の逆変換部4.0に出力されて逆変化部4.2に出力される。逆変換が終われば、DRAM3.4から読み出された第3プロックデータは逆変換部3.6に出力されて可変長度部3.6に送られる。従って、この時には、逆CT部4.2での第1ブロックデータの逆変換と可変長度部3.6での第3ブロックデータの逆変換が同時に実行される。

データの処理が並列に行われることになる。

[0.0 2.3] 逆DCT部 4.2 第1ブロックの処理が完了した後、第1ブロックデータはメモリ(1) 4.4に出力されれば認識される。また、逆FFT化部 4.0 で第2ブロックデータを逆FFT部 3.6 で第3ブロックデータの処理が完了すると、そのデータを逆DCT部 4.2に投入し第2ブロックデータの逆FFT部 3.6で第4ブロックデータが完成する。また、リバッファ部 3.3で第3ブロックデータの逆FFT部 3.6から読み出された第4ブロックデータは前段処理部 3.1から読み出された第4ブロックデータと並列処理される。

（ノット 0.2.5）まず、第Nマクロブロックのヘッダデータが可変長度1部 3.6で可変長さされると、モモリ（A）3.8に取り去られる。そして、次の第1ブロックデータの可変長さが処理に移る。第1ブロックデータの可変長さが完了すると、次に他の可変長さが処理を行なうが、同時に第2ブロックデータの可変長さが処理も火行される。

[0026] 第1ブロックデータの逆計量化処理及び第2ブロックデータの可変長度圧縮が完了すると、次に第1ブロックデータの逆DCT処理及び第2ブロックデータの逆DCT処理が完了した後で、同時に第3ブロックデータの逆計量化処理を行なうが、同時に第4ブロックデータの可変長度圧縮も実行される。以下同様にしてプロセスを繰り返す。逆DCT処理されたデータがメモリ(1)4-4に記憶されている。以下同様にして逆DCT処理が完了した後で、第4、第5、第6ブロックデータと進んでいく。

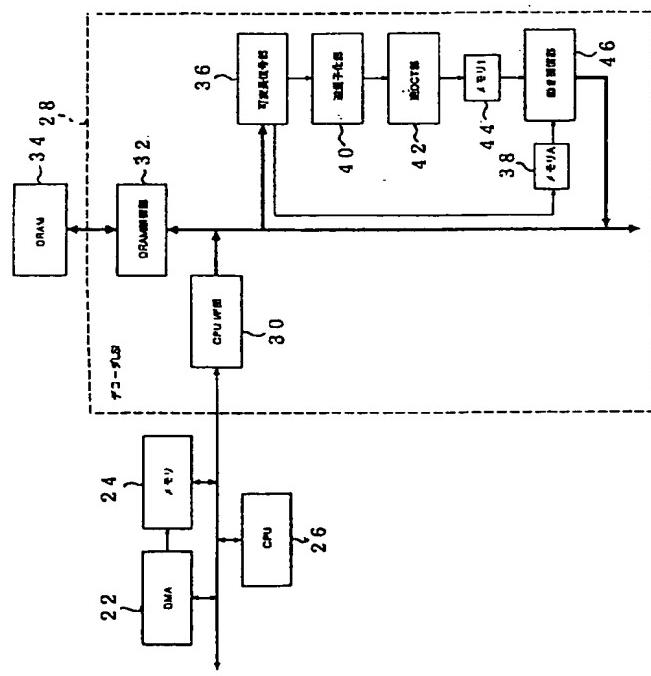
の場合には、最終ブロックである第6ブロックの逆丁処理用「(後に(1)から(4)が順序)生成」処理を行なうことができる。一方の高速化を図ることが可能である。

第2実施形では、第1メモリ([038])まで、第2実施形では、第1メモリ([038])とメモリ([1)～(4)]、第2メモリ([5)～(8)]とメモリ([9)～(12)])を並列して用いる。

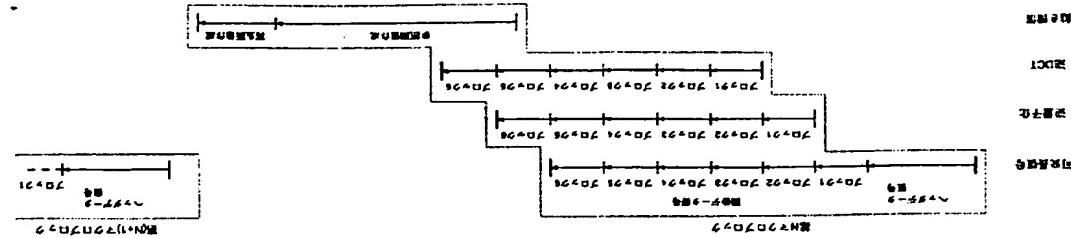
本実施例はこれに限定されるものではなく、必要な階層のマクロブロックを記憶するだけのメモリを設けることが可能である。構成例はそれ以下のメモリを設けることである。但し、構成を複雑化させることもある。

本実施例は、逆CT処理では第Nマクロブロックの逆CT処理が終了した後に第(N+1)マクロブロックの逆CT処理が開始される。

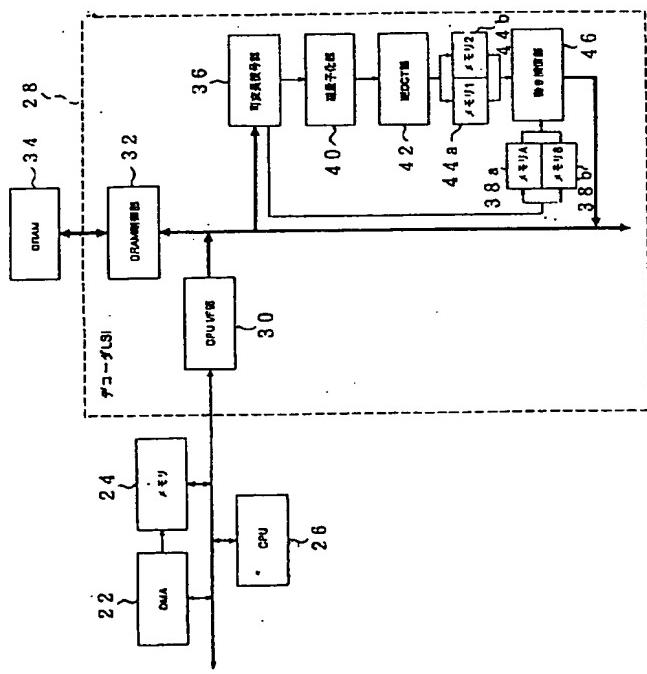
[図1]



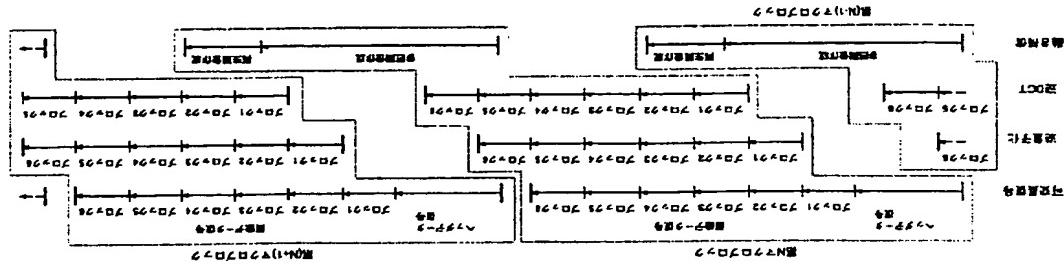
[図2]



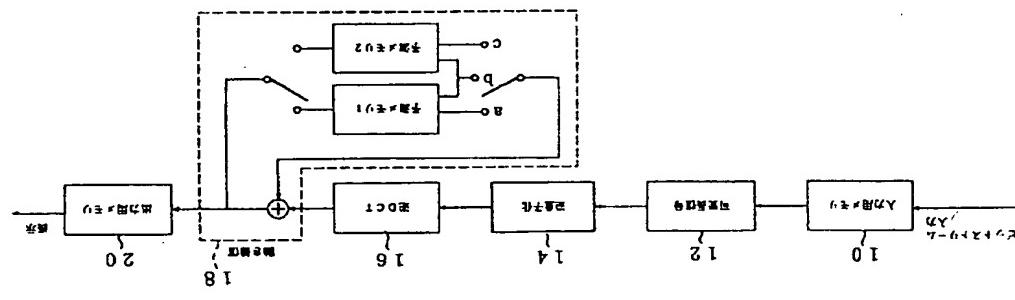
[図3]



[図4]



(245)



フロントページの続き

(72) 著引者 1: 企、幸一
大阪府立山本木通2丁目5番5号
洋光機株式会社